

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168212

(43)Date of publication of application : 22.06.1999

---

(51)Int.Cl. H01L 29/78  
H01L 21/336

---

---

(21)Application number : 09-348663 (71)Applicant : OMI TADAHIRO  
ULTLA CLEAN TECHNOLOGY  
KAIHATSU KENKYUSHO:KK  
(22)Date of filing : 02.12.1997 (72)Inventor : OMI TADAHIRO  
NITTA TAKEHISA  
INO KAZUhide  
SHINOHARA HISAKUNI

---

**(54) SEMICONDUCTOR DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To improve the reliability of a circuit and a system by forming the gate electrode of a MOS device using a metal and reforming its side wall into a metal insulation film.

**SOLUTION:** After a gate insulation film is formed, a Ta thin film 104 that is used as a gate electrode in a process chamber without being exposed to the air is formed by sputtering method. After the gate electrode is formed, the nitriding treatment of the surface of Ta is performed by another process chamber using microwave plasma that uses a radial line slot antenna to prevent the surface of a metal from being oxidized, thus forming a TaN layer 105. Then, the resist mask of a gate is formed by a lithography process, the gate is machined by a cluster chamber, and the reoxidization process of a Ta gate electrode side wall is performed by another process chamber. More specifically, Ta<sub>2</sub>O<sub>5</sub> is formed on the gate electrode side wall without introducing any defect into a gate oxide film by using the radial slot antenna and Xe plasma.



---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-168212

(43)公開日 平成11年(1999) 6月22日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 29/78  
21/336

識別記号

F I

H 0 1 L 29/78

3 0 1 G

3 0 1 P

審査請求 未請求 請求項の数8 F D (全 7 頁)

(21)出願番号 特願平9-348663

(22)出願日 平成9年(1997)12月2日

(71)出願人 000205041

大見 忠弘

宮城県仙台市青葉区米ヶ袋2-1-17-301

(71)出願人 596089517

株式会社ウルトラクリーンテクノロジー開発研究所

東京都文京区本郷4-1-4

(72)発明者 大見 忠弘

宮城県仙台市青葉区米ヶ袋2の1の17の301

(74)代理人 弁理士 福森 久夫

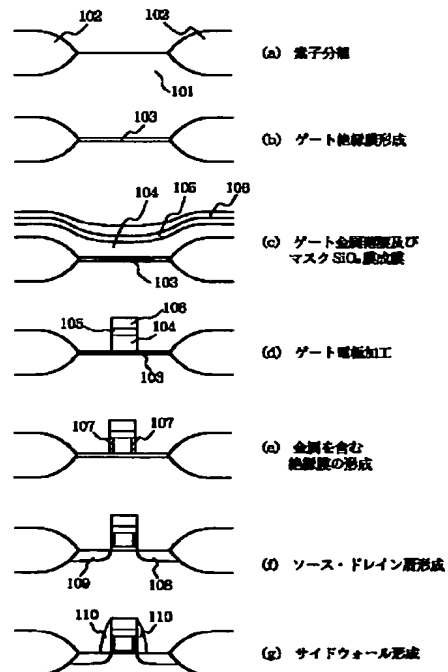
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 本発明は、金属ゲート電極表面を低温で金属絶縁膜に変え、デバイスの、すなわち、回路・システムの信頼性を向上するデバイス構造、および、その製作方法を提供することを目的とする。

【解決手段】 本発明の半導体装置は、MOSデバイスのゲート電極を金属を用いて形成し、その側壁を金属絶縁膜に改質し、デバイスの信頼性を向上したことを特徴とする。また、良質な金属絶縁膜を、低温で形成したことを特徴とする。



## 【特許請求の範囲】

【請求項 1】 第 1 型の電気伝導性の基体と、前記基体の電気伝導性とは逆の第 2 型の電気伝導性を有し、前記基体中もしくは前記基体上に相互に間隔をあけて配置されて、相互間に基体中のチャンネルを画定し、前記基体との電気接続部を形成する第 1 のソースおよびドレイン領域と、該第 1 のソースおよびドレイン領域間にあるが、該第 1 のソースおよびドレイン領域へもしくはいずれの領域へも電氣的に直接接触しないように第 1 の絶縁層を介して、前記チャンネルの上に置かれた金属ゲート電極を有する半導体装置において、該金属ゲート電極の該チャンネルと接する面以外の少なくとも一部が該金属を含む絶縁膜で覆われていることを特徴とする半導体装置。

【請求項 2】 前記金属ゲート電極の側壁のみが該金属を含む絶縁膜で覆われていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記金属ゲート電極が T a で構成され、該 T a ゲート電極の該チャンネルと接する面以外がタンタル酸化膜で覆われていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記金属を含む絶縁膜を、基体の温度を 700℃以下に保ちながら該金属ゲート表面を改質することにより形成したことを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】 前記金属を含む絶縁膜を、基体の温度を 600℃以下に保ちながら該金属ゲート表面を改質することにより形成したことを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記金属を含む絶縁膜を、基体の温度を 600℃以下に保ち、かつプラズマを用いた手段により、該金属ゲート表面を改質することにより形成したことを特徴とする請求項 1 ないし 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】 前記金属を含む絶縁膜を、基体の温度を 600℃以下に保ち、かつ X e を含むプラズマを用いた手段により、該金属ゲート表面を改質することにより形成したことを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記金属を含む絶縁膜を、基体の温度を 600℃以下に保ち、かつ酸素ラジカルを含む気体を用いて、該金属ゲート表面を酸化することにより形成したことを特徴とする請求項 1 ないし 7 のいずれか 1 項に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】 本発明は、高速動作を実現する金属ゲート電極を有した MOS トランジスタの信頼性向上のために、新たな構造を導入した半導体装置に関する。

## 【0002】

【従来の技術】 過去 30 年近くにわたり、半導体デバイスの素子寸法の縮小により、半導体集積回路の動作速度の増大が実現されてきた。現在までは半導体デバイスのチャンネル長といった素子寸法の縮小により、デバイスの電流駆動能力の増大、すなわち、回路の高速化が可能であったが、デバイス寸法がサブオクター・ミクロンの領域に入り、回路速度が寄生抵抗・寄生容量により決定されつつある。

【0003】 これらの問題を回避するために、MOS デバイスのゲート・ソース・ドレイン領域を自己整合的にシリサイド化するシリサイド技術、あるいは、ゲートのシート抵抗をさらに小さくするために、ゲート電極を高濃度にドーピングされた多結晶シリコンと金属シリサイドの積層構造としたポリサイド技術が開発されてきた。また、配線構造においても、低抵抗化のために銅配線が、低負荷容量化のために低誘電率層間絶縁膜が導入されつつある。しかし、次世代の MOS デバイス高速化のためには、さらに寄生抵抗を小さくしなければならない。そのための解決手段として、近年、金属をゲート電極に用いた MOS デバイス構造が注目を浴びている。

【0004】 しかし、金属をゲート電極材料として用いることにより高速化は実現されるが、信頼性が劣化するという問題があり、この解決手段が強く求められている。

【0005】 特に大きな問題は、ゲート・ソース間、あるいは、ゲート・ドレイン間の耐圧の減少である。多結晶シリコンをゲート電極材料として用いた場合、ゲート電極を異方性エッチングにより形成した後に、酸化雰囲気中で熱処理し（再酸化工程と一般に呼ばれる）ゲート電極エッジ部を丸め、エッジ部での電界集中を緩和し、さらに、ゲート電極エッジ部のシリコン酸化膜 SiO<sub>2</sub>（ゲート絶縁膜）を厚くすることにより、ゲート・ソース間、および、ゲート・ドレイン間の耐圧をゲート・基板（チャンネル）間の耐圧より大きくすることが可能であった。しかし、金属をゲート電極に用いた場合、薄く良質な絶縁膜を形成することができない。

## 【0006】

【発明が解決しようとする課題】 本発明は、上記従来例の問題点を解決すべく、金属ゲート電極表面を低温で金属絶縁膜に変え、デバイスの、すなわち、回路・システムの信頼性を向上するデバイス構造、および、その製法方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 本発明の半導体装置は、MOS デバイスのゲート電極を金属を用いて形成し、その側壁を金属絶縁膜に改質し、デバイスの信頼性を向上したことを特徴とする。また、良質な金属絶縁膜を、低温で形成したことを特徴とする。

## 【0008】

【実施例】 以下、図面を参照して本発明の実施例を示

す。

【0009】（実施例1）図1に本発明のデバイスの製作フロー概略図を、図2に製作の際用いたクラスターツールの一部を示す。フィールド酸化膜102により素子分離を行ない、室温ウェット洗浄を枚葉洗浄装置202でおこなった後、水分・ハイドロカーボン等の不純物濃度が10ppb以下の乾燥空気雰囲気気の搬送路201を経て、基板はクラスターツールのローディングチャンバ203に搬送される。本クラスターツールは全てのチャンバが、窒素を適量流すことにより数mTorrの圧力

に維持されており、常に、微量のガスを流すことによりガス排気系からの不純物逆拡散を抑えている。プロセスチャンバ204でゲート絶縁膜 $Ta_2O_5$ を有機金属ガスソースを用いた化学気相成長（MOCVD）により膜厚8nm成膜後、プロセスチャンバ205で、 $Ta_2O_5$ 薄膜の改質をXe/He（20%）/O<sub>2</sub>（3%）プラズマを用いる。

【0010】 $Ta_2O_5$ の成膜はTa（OC<sub>2</sub>H<sub>5</sub>）<sub>5</sub>/O<sub>2</sub>/Arを用い、基板温度450℃、圧力1Torrで行った。但し、成膜条件はこれに限定されるものではなく、TaのソースガスとしてTaCl<sub>5</sub>、Ta（N（CH<sub>3</sub>）<sub>2</sub>）<sub>5</sub>、H<sub>3</sub>Ta（C<sub>2</sub>H<sub>5</sub>）<sub>2</sub>などを用いてもよい。また、 $Ta_2O_5$ の代わりにSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>、TiO<sub>2</sub>、BST〔（Ba，Sr）TiO<sub>3</sub>〕などの他の絶縁膜、あるいはPZTなどの強誘電体薄膜を用いてもよいことは言うまでもない。さらに、成膜・改質時の酸化種として、O<sub>2</sub>を用いているが、H<sub>2</sub>O・H<sub>2</sub>O/H<sub>2</sub>・N<sub>2</sub>・NO<sub>2</sub>等の酸化種を用いても同様の結果が得られることは言うまでもない。

【0011】 $Ta_2O_5$ 薄膜の改質に用いたプラズマ装置の概略図を図3に示す。このプラズマ装置は、真空容器301と前記容器内でプラズマを生成させるために必要な原料ガスの導入口302、前記容器内に導入された原料ガスを排気する真空ポンプ303を有し、前記容器を構成する壁部の一部はマイクロ波を略略損失なく透過できる材料からなる誘電体板304であり、その誘電体板をはさんで前記容器の外側にはマイクロ波を放射するアンテナ305が設置されている、前記容器の内側には、処理される基板308を載置するための電極306が設けられており、前記アンテナのマイクロ波の放射面と基体のプラズマ処理を行う面とを略々平行に対向して配置されている。電極306には加熱機構が設けられており、プロセス中、基板温度を上昇させることが可能となっている。アンテナより放射されたマイクロ波を排気口側へ伝搬するのを防ぎ、前記基板上だけに均一にプラズマを生成させる目的で反射板309が設けられている。また、原料ガス導入の均一化のため、本装置の原料ガスは、シャワープレート307をとうして多数の小孔からプロセス空間に導入される。この原料ガスは複数の真空ポンプ303より外部へ排気される。各真空ポンプの上

部には、ガスのコンダクタンスを低下させないよう比較的広い空間が設けてある。このように前記基体側部に略々等間隔に並べられた複数の真空ポンプから排気すると、ガスのコンダクタンスをほとんど低下させることなく回転方向に均一な基体上のガス流を実現することができる。

【0012】本例では、マイクロ波アンテナとしてラジアルラインスロットアンテナを用い、基板温度500℃で行った。本マイクロ波プラズマの特徴は電子温度が約1eVと低く、基板に入射するイオンのエネルギーを10eV以下に制御できる点である。また、質量の重いXeイオンを用いることにより下地Si基板に欠陥を入れることなく、表面近傍にのみエネルギーを伝えることが可能となる。一般によく使用されるArの原子半径が1.88Åであるのに比べ、Xeの原子半径は2.17Åと大きく、基板中に打ち込まれづらく、基板表面にのみ効率よくエネルギーを伝えることができるためである。また、ArおよびXeの原子量はそれぞれ39.95、131.3であり、XeはArなどにくらべ重く、基板表面へのエネルギーおよび運動量の伝達効率が低く欠陥をつくりづらいという効果もあり、欠陥に非常に敏感なゲート酸化膜の改質をイオン照射を用いて行う際、適している。MOCVDにより成膜した $Ta_2O_5$ は改質を行わない場合、 $10^{-6}$ A/cm<sup>2</sup>程度のリーク電流が流れてしまうが、Xe/He（20%）/O<sub>2</sub>（3%）プラズマを用いて改質を行うと、リーク電流を $10^{-9}$ A/cm<sup>2</sup>に減少させられる。これは、膜中の酸素欠損がなくなったことに起因する。改質前のO/Ta比が2.43であったのに対し、改質することによりO/Ta比を化学量論的な2.50にすることができた。これは、Heをガス中に添加することで酸素ラジカルの生成率を上し、加えて高圧にしたことで分子間衝突が効果的に発生しより酸素ラジカルを効率よく生成できるようになったことと、低エネルギーのXeイオン照射により下地にダメージを与えることなく表面近傍のみを活性化できたためである。

【0013】ゲート絶縁膜形成後、大気に曝すことなくプロセスチャンバ206でゲート電極として用いるTa薄膜104をスパッタ法により成膜した。Xeプラズマを用い、Ta原子の入射に対し25倍の量のXeイオンを成膜表面に照射し、かつ、イオン照射エネルギーを40eVに制御し、bcc構造のTaを成膜できた。成膜したbcc-Taの比抵抗は14μΩcmであり、β-Ta（比抵抗が160μΩcm程度）に比べ一桁以上小さな値を得ることができ、200nm厚で0.7/□の低シート抵抗が実現された。

【0014】ゲート電極堆積後、金属表面の酸化を防止するために、Ta表面の窒化処理を図3に示したラジアルラインスロットアンテナを用いたマイクロ波プラズマによりプロセスチャンバ207で行い、5nm厚のTa

N層105を形成した。このとき、用いたガスはAr/N<sub>2</sub> (5%)である。その後、マスク用のSiO<sub>2</sub>膜106の堆積を行い、クラスターチャンバから搬出した。

【0015】リソグラフィ工程によりゲートのレジストマスクを形成し、図4に示すクラスターチャンバでゲートの加工およびゲート電極側壁の再酸化工程を行った。ローディングチャンバ401より基板を搬入し、エッチングチャンバ402でマスクSiO<sub>2</sub>膜106の異方性エッチングをC<sub>4</sub>F<sub>8</sub>/CO/Ar/O<sub>2</sub>プラズマにより行い、その後、プロセスチャンバ403でレジストのアッシングをXe/O<sub>2</sub>プラズマにより行った。引き続きエッチングチャンバ404でTa薄膜104の異方性エッチングをSiCl<sub>4</sub>プラズマにより行った。

【0016】本発明の特徴であるTaゲート電極側壁の再酸化工程をプロセスチャンバ405で行った。本プロセスに用いたプロセス装置は前記図3と同様のラジアルラインスロットアンテナを用いたマイクロ波励起プラズマ装置である。その際の処理条件は、使用ガスXe/He/O<sub>2</sub>、ガス圧500mTorr、分圧比はXe:He:O<sub>2</sub>=68%:30%:2%、マイクロ波電力は1200W、酸化処理時間は15分、前記基板は電氣的にフローティング状態に保持、被処理体の温度は450℃とした。但し、成膜条件はこれに限定されるものではなく、Xeの変わりにArを用いても構わないが、Xeを用いる方が好適である。

【0017】Ta<sub>2</sub>O<sub>5</sub>の改質の場合と同様に、Heを添加したことにより酸素ラジカルを効率よく生成でき、また、Xeプラズマを用いることによりゲート酸化膜に欠陥を導入することなく、ゲート電極側壁にTa<sub>2</sub>O<sub>5</sub>を形成しゲートエッジ部を丸め、電界集中を緩和することができた。Xeを含むガスプラズマを用いてゲート電極側壁の酸化を施すことにより、ゲート・ソース間、および、ゲート・ドレイン間の耐圧(電流密度100mA/cm<sup>2</sup>のときの電圧)を3Vから5Vにすることができた。

【0018】以後、従来のプロセスを用いて、ソース・ドレイン層108、109、サイドウォール110を形成した。TaゲートSiO<sub>2</sub>ゲート絶縁膜において、7000℃以上の履歴があるものでは、高周波C-V特性により計測した電氣的な酸化膜厚が実際の膜厚の2~3倍となる。リーク電流の観点からすると800℃の履歴も許されるが、長期信頼性等を考慮すると、プロセス温度の上限を700℃とする必要がある。また、大口径ウェハでの面内均一性・プロセス時間の短縮、さらには、大量生産におけるプロセスマージンに加え、シリサイド形成等のプロセスにおけるプロセス時間・最低反応温度等を考慮すると、600℃以下でプロセスを行う方がより好適である。

【0019】以上示した成膜条件はこれに限定されるものではなく、同様な結果が得られるのであれば他のプラ

ズマ源、プロセス条件で行ってもよい。また、マスク用SiO<sub>2</sub>膜106の堆積を行わずに、ゲートの加工を行ってもよいが、ソース・ドレイン層をイオン注入により形成する場合、ゲートTa膜中にも不純物が打ち込まれ、ゲート電極のシート抵抗の上昇を引き起こすため、マスク用SiO<sub>2</sub>膜を用いた方が好適である。マスク用SiO<sub>2</sub>膜を用いない場合、レジストマスクでTa薄膜104のエッチングを行い、その後、レジストのアッシング工程とTaの再酸化工程を同時に行うこととなるため、Taゲート電極側壁のTa<sub>2</sub>O<sub>5</sub>膜の特性が前記プロセスに比べ劣化する。したがって、アッシングを行う際は、マイクロ波電力を500Wにし、その後マイクロ波電力を1200Wにし、Taゲート電極側壁の酸化を行うことにより改善可能であり、このときのゲート・ソース間、および、ゲート・ドレイン間の耐圧(電流密度100mA/cm<sup>2</sup>のときの電圧)は4.7Vであった。

【0020】(実施例2)図5に本発明の別のデバイス製作フロー概略図を示す。実施例1と異なる点は、Ta<sub>2</sub>O<sub>5</sub>膜の形成をTaの直接酸化により行った点と、ゲートのTa薄膜成膜後に、ノンドープの多結晶シリコン505をプラズマCVD法(PECVD)により5nm厚成膜し、その後にマスク用SiO<sub>2</sub>膜505を堆積した点である。

【0021】Ta<sub>2</sub>O<sub>5</sub>膜の形成は、まず、Taを6nm厚成膜した後に、Taの直接酸化をXe/He/O<sub>2</sub>プラズマを用いて行った。本プロセスに用いたプロセス装置は前記図3と同様のラジアルラインスロットアンテナを用いたマイクロ波励起プラズマ装置である。その際の処理条件は、使用ガスXe/He/O<sub>2</sub>、ガス圧500mTorr、分圧比はXe:He:O<sub>2</sub>=68%:30%:2%、マイクロ波電力は1200W、酸化処理時間は15分、前記基板は電氣的にフローティング状態に保持、被処理体の温度は450℃とした。但し、成膜条件はこれに限定されるものではなく、Xeの変わりにArを用いても構わないが、Xeを用いる方が好適である。

【0022】前記ノンドープ多結晶シリコンの成膜は、Ar/SiH<sub>4</sub> (1%)を用い、ガス圧100mTorr、基板温度300℃で行った。今回は多結晶シリコンを用いたが、アモルファスシリコンを用いても、あるいはドーピングされたシリコンを適用しても構わない。これらシリコン層は下地ゲート金属の酸化を防止するために用いられている。このシリコン層あるいは、実施例1に記載のTa N層がない場合、ゲートと配線金属の間のコンタクト抵抗が上昇するという問題が起こる。ただし、ゲートと配線金属とのコンタクトがない場合、すなわち、フローティングゲートに本発明を適用する際は、前記シリコン層あるいは、Ta N層がなくてもよいが、ゲートの抵抗上昇を抑えるために使用した方がよい。

【0023】前記ノンドープシリコン層は、例えばソース・ドレイン領域の活性化アニール時に下地Taとシリ

7

サイド反応により  $Ta_5Si_3$ 、あるいは  $TaSi_2$  となるため、配線金属とのコンタクト抵抗の上昇をきたすような問題はない。

# 【0024】

【発明の効果】本発明よれば、金属ゲート電極表面を低温で金属絶縁膜に変え、デバイスの、すなわち、回路・システムの信頼性を向上するデバイス構造、および、その製作方法を提供できる。

# 【図面の簡単な説明】

【図1】実施例1のデバイスの製作フロー概略図である。

【図2】製作の際用いたクラスターツールの一部を示す図である。

【図3】 $Ta_2O_5$  薄膜の改質に用いたプラズマ装置の概略図である。

【図4】実施例1のクラスターチャンバを示す図である。

【図5】実施例2のデバイスの製作フロー概略図である。

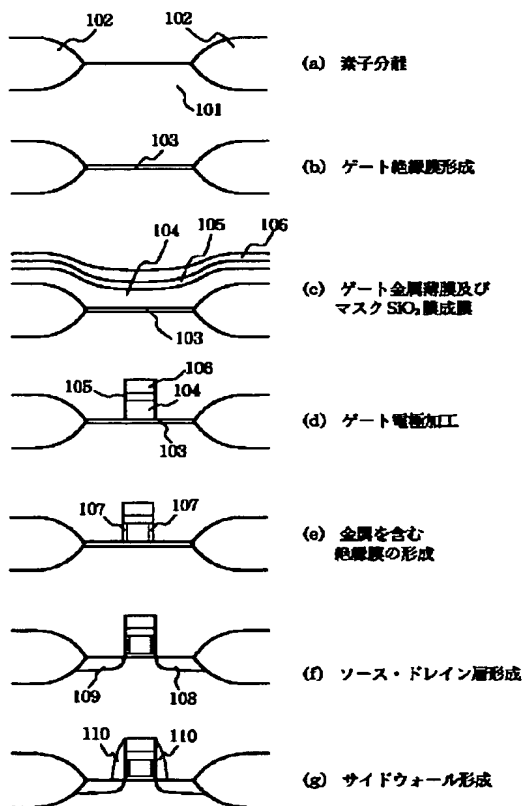
# 【符号の説明】

20

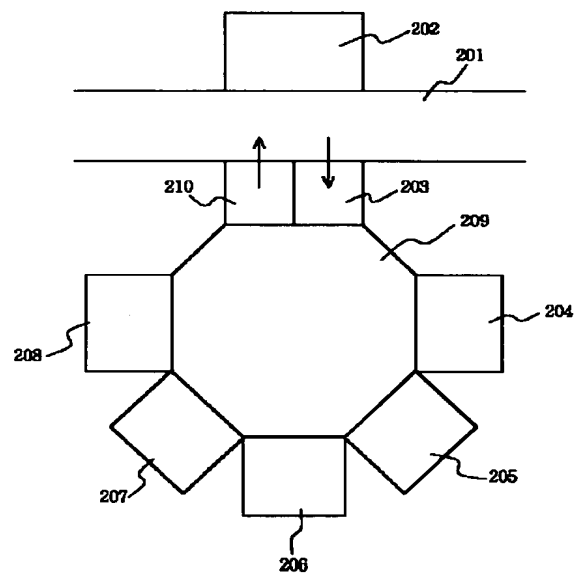
8

- 102 フィールド酸化膜、
- 201 搬送路、
- 202 枚葉洗浄装置、
- 203 ローディングチャンバ、
- 204 プロセスチャンバ、
- 205 プロセスチャンバ、
- 301 真空容器、
- 302 導入口、
- 303 真空ポンプ、
- 304 誘電体板、
- 305 アンテナ、
- 306 電極、
- 307 シャワープレート、
- 309 反射板、
- 401 ローディングチャンバ、
- 402 エッチングチャンバ、
- 403 プロセスチャンバ、
- 404 エッチングチャンバ、
- 405 プロセスチャンバ。

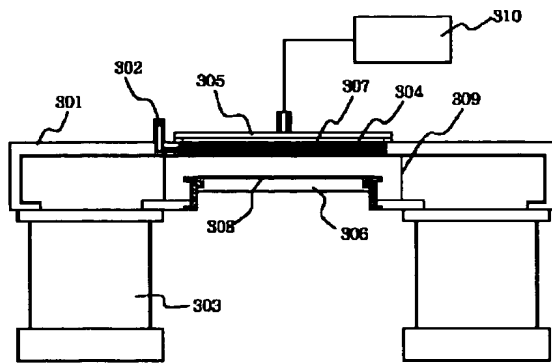
【図1】



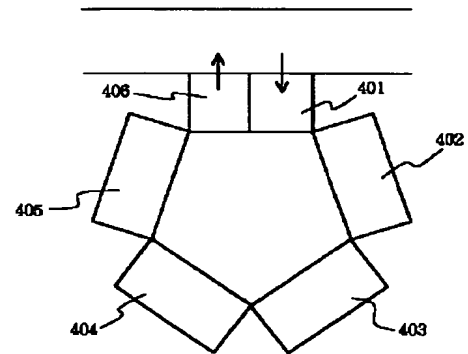
【図2】



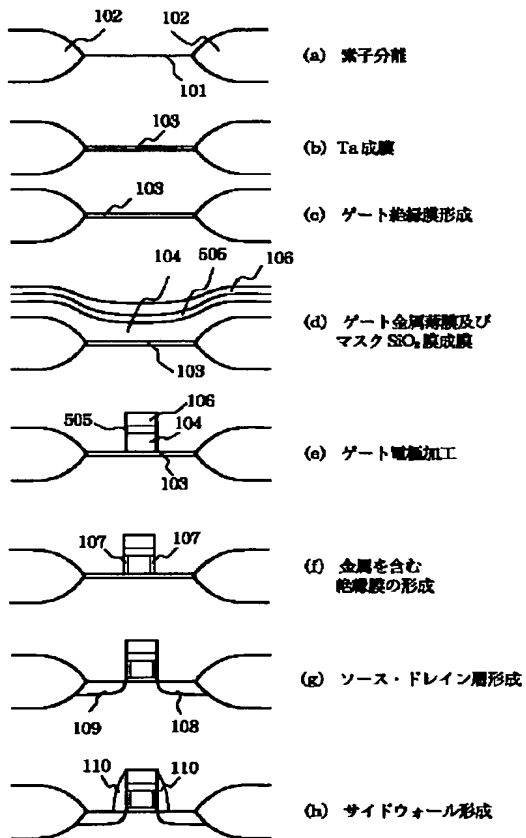
【図 3】



【図 4】



【図 5】





フロントページの続き

(72)発明者 新田 雄久  
東京都文京区本郷 4 丁目 1 番 4 号株式会社  
ウルトラクリーンテクノロジー開発研究所  
内

(72)発明者 伊野 和英  
宮城県仙台市青葉区荒巻字青葉 (無番地)  
東北大学内  
(72)発明者 篠原 壽邦  
宮城県仙台市青葉区荒巻字青葉 (無番地)  
東北大学内